

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08316112 A**(43) Date of publication of application: **29.11.96**

(51) Int. Cl

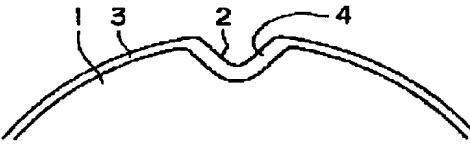
**H01L 21/02**(21) Application number: **07140106**(22) Date of filing: **16.05.95**(71) Applicant: **KOMATSU ELECTRON METALS CO LTD**(72) Inventor: **TAJIRI TOMOAKI  
SUENAGA YOSHINORI  
FUKUNAGA TOSHIYA  
ANDO HIROMI****(54) SEMICONDUCTOR WAFER WITH NOTCH****(57) Abstract:**

**PURPOSE:** To easily discriminate the front and the rear of a wafer without quality problem such as dust occurrence due to a laser mark by suppressing the effective area decrease of a semiconductor wafer due to the formation of an orientation flat part or the mark or the manufacturing cost increase to the minimum limit in the wafer.

**CONSTITUTION:** A V-shaped notch 2 for discriminating crystalline orientations of a wafer 1 is provided at a predetermined position on the outer periphery of the wafer 1. The size of the chamfer provided along the edge of the notch 2 is formed in the same size as that of the chamfer 3 on the outer periphery of the wafer 1 at the front surface side of the wafer and in the sufficiently larger size than that of the chamber 3 at the chamfer 4 of the rear surface side. Since the sizes of the chamfers are clearly different at the front and rear surfaces sides of the wafer, the discrimination of the front and the rear of the wafer can easily be conducted by visual observation. The chambers of the outer periphery of the wafer is formed in the same manner at the front and the rear as those of prior art, and the

loss of the effective area of the wafer is smaller than those of a double orientation flat cuts. The machining of a laser mark is unnecessary.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-316112

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl.<sup>8</sup>  
H 01 L 21/02

識別記号 庁内整理番号

F I  
H 01 L 21/02

技術表示箇所  
B  
A

審査請求 未請求 請求項の数2 FD (全4頁)

(21)出願番号 特願平7-140106

(22)出願日 平成7年(1995)5月16日

(71)出願人 000184713

コマツ電子金属株式会社  
神奈川県平塚市四之宮2612番地

(72)発明者 田尻 知朗

神奈川県平塚市四之宮2612 コマツ電子金属株式会社内

(72)発明者 末永 好範

神奈川県平塚市四之宮2612 コマツ電子金属株式会社内

(72)発明者 福永 寿也

宮崎県宮崎郡清武町大字木原1112番地 九州コマツ電子金属株式会社内

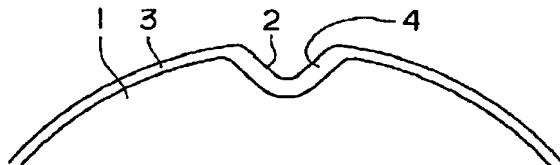
最終頁に続く

(54)【発明の名称】 ノッチ付き半導体ウェーハ

(57)【要約】

【目的】 半導体ウェーハにおいて、オリフラやレーザマークの加工による有効面積減少、製造コスト上昇を最小限に抑え、かつ、レーザマークによる発塵等の品質問題を起こさずにウェーハの表裏を容易に判別できるようとする。

【構成】 ウェーハ1の結晶方位を判別するためのV字状のノッチ2を前記ウェーハ1の外周の所定位置に設ける。前記ノッチ2の縁部に沿って設ける面取りの大きさを、ウェーハの表面側ではウェーハ1の外周の面取り3と同一寸法に、裏面側の面取り4は前記面取り3より十分に大きい寸法とする。面取りの大きさがウェーハの表面側と裏面側とで明らかに異なるため、ウェーハの表裏判別は目視により容易に行うことができる。ウェーハ外周の面取りは従来と同じく表裏同一寸法であり、ダブルオリフラカットに比べてウェーハ有効面積の損失が小さい。また、レーザマーク加工は不要である。



4 : 面取り

## 【特許請求の範囲】

【請求項1】 半導体ウェーハの外周の所定位置に前記ウェーハの結晶方位を判別するノッチを設けたノッチ付き半導体ウェーハにおいて、ノッチの縁部に沿って設ける面取りの大きさをウェーハの表面側と裏面側とで異なる寸法とすることを特徴とするノッチ付き半導体ウェーハ。

【請求項2】 半導体ウェーハの外周の所定位置に前記ウェーハの結晶方位を判別するノッチを設けたノッチ付き半導体ウェーハにおいて、ノッチをウェーハ中心に対して左右いずれかの方向に傾けることを特徴とするノッチ付き半導体ウェーハ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ノッチ付き半導体ウェーハに関する。

## 【0002】

【従来の技術】 半導体素子の基板には主として高純度の単結晶シリコンが用いられているが、前記単結晶シリコンは主としてCZ法により製造される。CZ法においては、単結晶引き上げ装置のチャンバ内に設置したるつぼに多結晶シリコンを充填し、前記るつぼの周囲に設けたヒータによって多結晶シリコンを加熱溶解した上、シードチャックに取り付けた種結晶を融液に浸漬し、シードチャックおよびるつぼを互いに同方向または逆方向に回転しつつシードチャックを引き上げながら円柱状の単結晶シリコンを成長させる。

【0003】 上記CZ法などによって製造された単結晶シリコンインゴットの外周を所定寸法に研削した上、軸方向に直角に切断して薄板に分割し、ラッピング、エッティング、ポリシング等を施して少なくとも片面が鏡面に加工された単結晶シリコンウェーハ（以下ウェーハという）とする。前記単結晶シリコンインゴットの外周研削に先立って、結晶方位の判別を容易にするため外周の所定の位置にオリエンテーションフラット（以下オリフラという）またはノッチを設けている。また、たとえば両面に鏡面仕上げを施したウェーハ、そり方向指定ウェーハ（ウェーハ表面が凸面か凹面かを指定したウェーハ）、引き上げ方向指定ウェーハ等については、結晶方位判別とは別に表裏判別手段を必要とする。

【0004】 ウェーハの表裏判別を容易にするため、従来から主オリフラとは別に副オリフラを設けるか、またはレーザマーカを用いてノッチの近傍に所定のマークを入れている。主オリフラを設けることによりウェーハからデバイスを切り出す際の有効面積が減少するが、副オリフラカットにより前記有効面積は更に減少する。これに比べてウェーハの結晶方位判別手段としてノッチを設け、表裏判別手段にレーザマークを用いる方法は、ウェーハの有効面積減少の度合いが少なくて済むという利点がある。

## 【0005】

【発明が解決しようとする課題】 しかしながら、ウェーハの表裏判別手段にレーザマークを用いると、従来の加工工程の他にレーザマーク加工工程を付加しなければならず、コスト高となる。また、レーザマークによって印字された凹部に浮遊する塵埃等が入り込み、後工程で行われる洗浄の際に前記塵埃が発見されることがあるため、必ずしも好ましい識別手段とはいえない。更に、レーザマークを入れることにより、ノッチ加工のみのウェーハに比べて有効面積が減少するという欠点がある。

【0006】 本発明は上記従来の問題点に着目してなされたもので、オリフラやレーザマークの加工によるウェーハの有効面積減少、製造コスト上昇を最小限に抑え、かつ、レーザマークによる発塵等の品質的問題を起こさずにウェーハの表裏を容易に判別することが可能なノッチ付き半導体ウェーハを提供することを目的としている。

## 【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明に係るノッチ付き半導体ウェーハの第1の発明では、半導体ウェーハの外周の所定位置に前記ウェーハの結晶方位を判別するノッチを設けたノッチ付き半導体ウェーハにおいて、ノッチの縁部に沿って設ける面取りの大きさをウェーハの表面側と裏面側とで異なる寸法とすることを特徴とする。また、第2の発明では、半導体ウェーハの外周の所定位置に前記ウェーハの結晶方位を判別するノッチを設けたノッチ付き半導体ウェーハにおいて、ノッチをウェーハ中心に対して左右いずれかの方向に傾けることを特徴とする。これにより、ウェーハの表裏判別を可能としている。

## 【0008】

【作用】 上記構成によれば、ウェーハの結晶方位判別手段であるノッチの縁部に設ける面取りを、ウェーハの表面側と裏面側とで異なる寸法としたので、面取り寸法の大小を目視で比較することによりウェーハの表裏を容易に判別することができる。また、ノッチの面取りを表裏で異なる寸法とする代わりに、ノッチ自体をウェーハ中心に対して左右いずれかに傾けた場合も、ウェーハの表裏判別は容易となる。いずれの場合も表裏判別のためのレーザマークは不要であり、ダブルオリフラカットに比べてウェーハ有効面積の損失が小さくなる。

## 【0009】

【実施例】 以下に、本発明に係るノッチ付き半導体ウェーハの実施例について、図面を参照して説明する。図1は、本発明の第1実施例に基づくウェーハのノッチ部分を拡大した模式的平面図で、ウェーハの表面を示す。図2は同じくウェーハのノッチ部分を拡大した模式的平面図で、ウェーハの裏面を示す。図3は図1のA-A断面図である。これらの図において、1は表裏両面に鏡面仕上げを施した円盤状のウェーハで、外周の所定の位置に

3

V字状のノッチ2が設けられ、前記ウェーハ1の外周とこれに続くノッチ2の縁部にはなめらかな面取り3および4が施されている。ノッチ2の形状は、角度 $\theta = 90^\circ$ 、深さ $a = 1\text{ mm}$ である。また、ノッチ2の縁部に沿って設ける面取りの大きさは、表面側の面取り3がウェーハ1の外周の面取りと同じく $C_1 = 100\text{ }\mu\text{m}$ で、裏面側の面取り4のみ $C_2 = 600\text{ }\mu\text{m}$ となっている。前記面取り寸法 $C_1$ および $C_2$ は一例を示すものであり、これらの値に限定されるものではない。

【0010】本実施例では、ノッチの縁部に沿って設ける面取りの大きさがウェーハの表面側と裏面側とで明らかに異なるため、ウェーハの表裏判別は目視により容易に行うことができる。また、ウェーハ外周の面取りは従来と同じく表裏同一寸法であるため、ウェーハの有効面積減少や強度の低下は起こらない。

【0011】図4は、本発明の第2実施例に基づくウェーハのノッチ部分を拡大した模式的平面図で、ウェーハの表面を示す。ウェーハ1の外周には所定の位置にV字状のノッチ2が設けられているが、このノッチ2はウェーハ1の中心に対して右側に傾いている。すなわち、ウェーハ中心線5に対するノッチ2の左側の開き角 $\theta_1$ と右側の開き角 $\theta_2$ との関係は、 $\theta_1 < \theta_2$ となっている。このように、ノッチ2に傾きを与えることにより、ウェーハの表裏を容易に目視判別することができる。なお、面取り3の大きさはウェーハ外周、ノッチ縁部を問わず、かつ、表裏ともすべて同じ寸法である。

【0012】

【発明の効果】以上説明したように本発明によれば、な\*

4

\*んらかの表裏判別手段を必要とするウェーハに対し、結晶方位判別手段として設けたノッチの縁部面取りをウェーハの表面側と裏面側とで異なる寸法としたので、前記面取り形状を目視比較するだけでウェーハの表裏を容易に判別することができる。また、前記ノッチをウェーハ中心に対して左右いずれかに傾けた場合も、ウェーハの表裏判別は容易である。本発明による表裏判別手段はレーザマーク加工を必要としないので、その分だけ製造コストが低減するとともに、レーザマークによる発塵という品質問題を回避することができる。更に、従来から行われているダブルオリフラットに比べてウェーハ有効面積の損失が小さくなるので、デバイス取得率が向上する。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例に基づくウェーハのノッチ部分を拡大した模式的平面図で、ウェーハの表面を示す。

【図2】図1のウェーハの裏面を示す。

【図3】図1のA-A断面図である。

【図4】本発明の第2実施例に基づくウェーハのノッチ部分を拡大した模式的平面図で、ウェーハの表面を示す。

#### 【符号の説明】

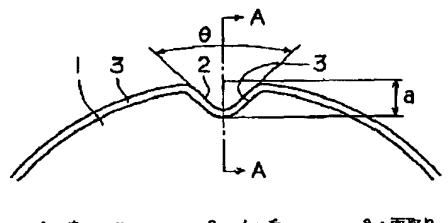
1 ウェーハ

2 ノッチ

3, 4 面取り

5 ウェーハ中心線

【図1】

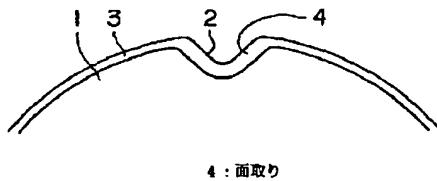


1: ウェーハ

2: ノッチ

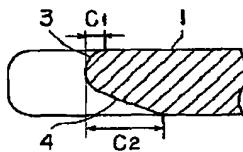
3: 面取り

【図2】



4: 面取り

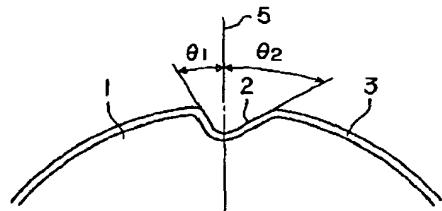
【図3】



3:  $C_1$

4:  $C_2$

【図4】



5

$\theta_1$

$\theta_2$

2

3

フロントページの続き

(72)発明者 安藤 広海  
宮崎県宮崎郡清武町大字木原1112番地 九  
州コマツ電子金属株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成14年11月8日(2002.11.8)

【公開番号】特開平8-316112

【公開日】平成8年11月29日(1996.11.29)

【年通号数】公開特許公報8-3162

【出願番号】特願平7-140106

【国際特許分類第7版】

H01L 21/02

【F I】

H01L 21/02 B  
A

【手続補正書】

【提出日】平成14年8月12日(2002.8.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体ウェーハの外周の所定位置にノッ

チを設けたノッチ付き半導体ウェーハにおいて、ノッチの縁部に沿って設ける面取りの大きさをウェーハの表面側と裏面側とで異なる寸法とすることを特徴とするノッチ付き半導体ウェーハ。

【請求項2】半導体ウェーハの外周の所定位置にノッチを設けたノッチ付き半導体ウェーハにおいて、ノッチをウェーハ中心に対して左右いずれかの方向に傾けることを特徴とするノッチ付き半導体ウェーハ。